

PAT-NO: JP361047659A

DOCUMENT-IDENTIFIER: JP 61047659 A

TITLE: LSI MULTICHIP MOUNTING STRUCTURE

PUBN-DATE: March 8, 1986

INVENTOR-INFORMATION:

NAME

SOGA, TASAO

KURIHARA, YASUTOSHI

YATSUNO, KOMEI

MIYATA, KENJI

OKAMURA, MASAHIRO

INT-CL (IPC): H01L023/52, H01L023/34

US-CL-CURRENT: 257/700, 257/778 , 257/E23.067 , 257/E23.189

ABSTRACT:

PURPOSE: To realize small size cubic mounting structure and high speed arithmetic operation by providing an output pin to the side where LSI chip is mounted in the periphery of multilayered plate.

CONSTITUTION: An Si chip 2 is mounted on a composite substrate obtained by laminating SiC plate 11 on to an organic multilayered wiring plate 9 having a low dielectric coefficient. For example, an input/output pin 27 is soldered to the SiC plate 26 using Sn-18% Bi 45% Pb solder after providing a through hole 32 and a land 28 to SiC plate 2. The terminals of chip 2 within the housing are connected through the through hole conductor 41 and internal wiring 40 and are also connected to the external input/output pin 27. The input/output pin is connected to the modules of upper and lower stages. A small size and multistage multichip module can be configured by extracting upward the pin using the space at the side wall of housing. Accordingly, a high capacity and high speed ultra-large scale computer can be realized with small size structure.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報 (A)

昭61-47659

⑬ Int. Cl.⁴H 01 L 23/52
23/34

識別記号

庁内整理番号

6428-5F
6616-5F

⑭ 公開 昭和61年(1986)3月8日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 LSI マルチチップ実装構造

⑯ 特 願 昭59-169352

⑰ 出 願 昭59(1984)8月15日

⑱ 発 明 者 曾 我 太 佐 男 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑲ 発 明 者 栗 原 保 敏 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑳ 発 明 者 八 野 耕 明 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉑ 発 明 者 宮 田 健 治 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 高橋 明夫 外2名

最終頁に続く

明 細 書

発明の名称 LSI マルチチップ実装構造

特許請求の範囲

1. はんだ電極端子を有し、多数個の素子領域が形成されてなる多数個の半導体チップを多層配線基板にはんだ接合したマルチチップモジュールにおいて、

多層配線基板上のチップが搭載された側とは反対側の面及びチップを接合したハウジングの裏側面が液冷されるように、多層配線基板、ヒートシンクを多段積層したことを特徴とする LSI マルチチップ実装構造。

2. 特許請求の範囲第1項において、多層配線基板は有機多層配線板と SiC 板とを接合した複合基板であることを特徴とする LSI マルチチップ実装構造。

3. 特許請求の範囲第1項または第2項において、ハウジングは SiC であることを特徴とする LSI マルチチップ実装構造。

4. 特許請求の範囲第1項、第2項または第3項

において、入出力ピンはハウジング外部の多層配線基板の半導体チップ側から取出したことを特徴とする LSI マルチチップ実装構造。

発明の詳細な説明

〔発明の利用分野〕

本発明は超大型コンピュータ本体の主要部を形成する論理、記憶装置の高出力 LSI マルチチップ実装構造に関する。

〔発明の背景〕

近年、電子計算機は大容量化、高速化、小型化が要請され、その主要部を構成する LSI は微細加工技術の改良により一層高密度化が図られている。このため必然的にチップ当りの消費電力換算すれば、単位面積当りの発熱量が急速に増している。そこで LSI のマルチチップ実装に際しては水冷方式が必須条件になりつつある。

第1図は Al_2O_3 多層板1に Si チップ2を CCB (Controlled Collapse Bonding) 法で多数個接続したマルチチップモジュール構造を示している。Si チップ2の裏面と冷却水通路6

Siチップ2上のはんだパンプ7の接続端子チップは $250\mu\text{m}$ で、はんだパンプ16の径は $130\mu\text{m}$ 、有機多層配線板上のベDESTAL 14の径は $140\mu\text{m}$ である。この複合基板は約 $120\mu\text{m}$ で、チップ温度が 80°C に達しても反りは無視できる程度に小さい。複合基板は $5\sim 6\times 10^{-6}/^\circ\text{C}$ で、SiC板11の熱膨張係数は $3.9\times 10^{-6}/^\circ\text{C}$ と両者は接近している。SiC板11の厚さは 3mm で十分である。複合基板の反りの程度は、基板の熱膨張係数、寸法、両板の厚さの比、温度差などで変る。また、SiC板と有機多層配線板とを接着した樹脂10は塑性変形に優れているため、最も応力のかかる基板周辺部においてもSiC板を破壊させることはない。以下接続を中心とするプロセスについて示す。複合基板上のCuベDESTAL 4 ($12\mu\text{m}$ 厚)上に、Siチップの端子を位置決めして、 240°C でボンディングした。はんだ組成はPb-60%Snである。ベDESTAL部以外のはんだ流出防止用のレジスト15が形成されている。このはんだパンプ

7の接続と同時に複合基板とハウジング側壁部の片面をPb-60%Snで接合する。なお、ベDESTAL端子はスルーホールを避けて、隣接部に設けた。

第2図は水冷ヒートシンク20へのSiチップ2の裏面の接着部19、封止部22の接着部の断面図である。冷却水路は対向する2辺の1つの隅に設けてある。対向する2辺の他の1つの周囲には封止部の外側において入出力端子27のピン接合部を設けてある。第3図は第2図と異なる側のハウジング側壁部の入出力端子のある側の断面を示す。ピンをSiチップを載置した側に設けた理由はモジュールの両面を冷却し、多段構造にして小型化するために障害とならないためである。プリント板上のSiC板26端部にSiC板24を使用するのは熱放散性を目的とするだけでなく、多層板が直接外気に接しない防湿構造とすることを目的としている。従つて、SiC板24 (Cr-Cuメタライズ)の接続は、はんだパンプ接続、ハウジング側壁部の多層配線板への接続と同時に

Pb-60%Snで取付けられる。

入出力ピン27は、あらかじめSiC板26にスルーホール導体32、ランド部28を設け、Sn-18%Bi-45%Pbのはんだを用いSiC板26にはんだ付される。ハウジング内部のチップの端子はスルーホール導体41及び内部の配線40を通して接続され、外部の入出ピン27に接続される。入出力ピンはコネクタを介して、上下各段のモジュールに接続される。このようにハウジング側壁部の空間を利用してピンを上向きに取出すことより、小型で多段のマルチチップモジュール構造を可能とした。第4図はモジュールを平面的に切断した断面である。入出力ピンは上下に、冷却水路は左右に取付けた構造である。

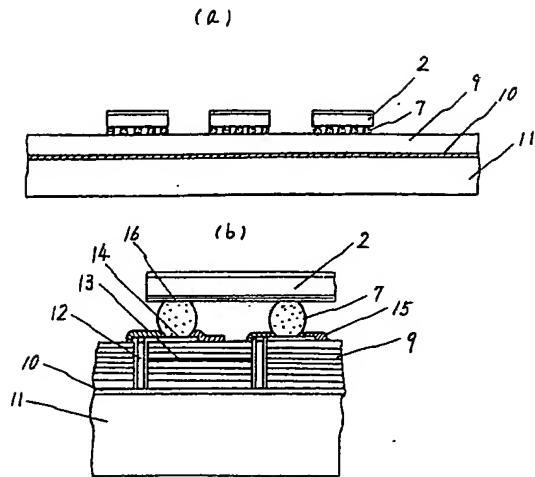
Siチップ近くのはんだ接続は、まず、Pb-60%Snのはんだパンプを接続後、あらかじめSiチップ裏面にCr-Cu-Au18をメタライズされた層の上に、約 $500\mu\text{m}$ 厚さの低融点のはんだSn-18%Bi-45%Pb (特願昭58-011293, 固相温度 136°C , 液相温度

168°C) 箔を載せて溶融させて接続した。また、同時にハウジング側壁部の最終封止部にも、メタライズしたSiC板22側壁材に約 $200\mu\text{m}$ 厚さのはんだ箔を載せて接合した。低温のはんだの接合条件は $\text{max } 178^\circ\text{C}$ である。接合時の雰囲気は H_2 , He , N_2 , Ar 等のいずれでも可能である。

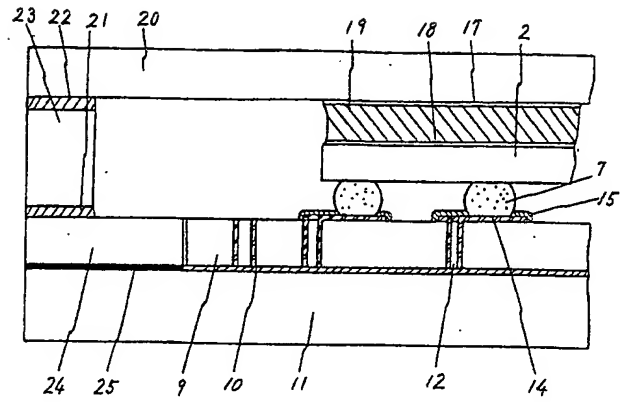
第5図はマルチチップモジュールの2段重ね構造を示す。(a)は冷却水路を境に対称的に重ねる方式、(b)は同一方向に重ねる方式等を示したモデル図である。(a) 構造では温度上昇が著しい水路と温度上昇の少ない水路が交互にくるので、流量を調節する必要がある。(b) 構造では各段とも同一温度上昇になる。

(a), (b)構造にはそれぞれ一長一短がある。SiCのヒートシンク20とヒートシンク20の中間に設けられている冷却水路には、流れに対して平行に、しかも何列にも配置されているチップ列に沿つてSiCフィン31が細かく、かつ長く設けられていて、流れやすく、熱放散性を良くしてある。

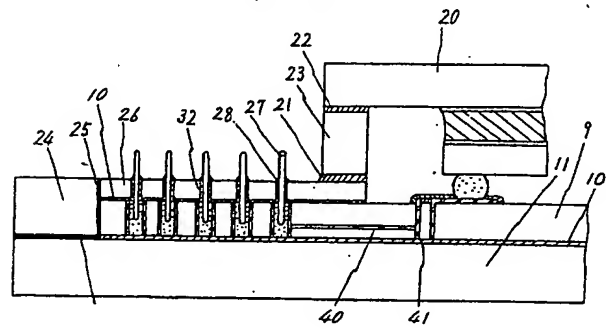
第 1 図



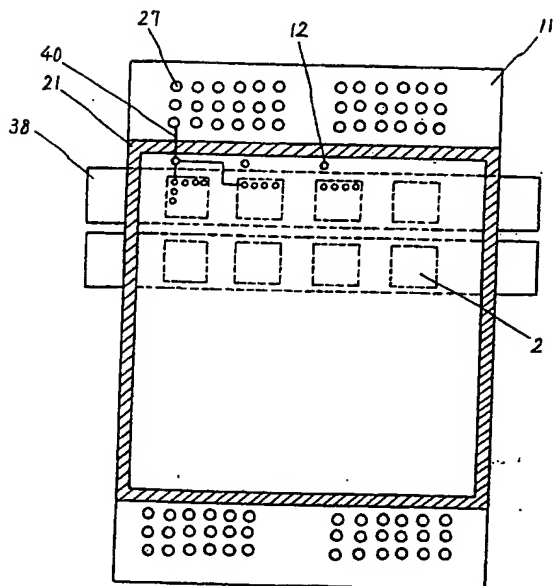
第 2 図



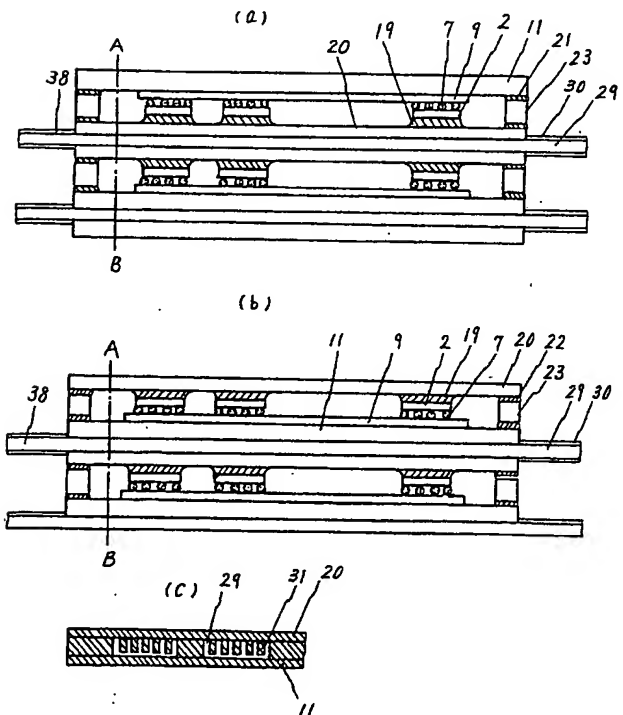
第 3 図



第 4 図



第 5 図



第1頁の続き

②発 明 者 岡 村 昌 弘 日立市幸町3丁目1番1号 株式会社日立製作所日立研究
所内